

SILICON SINGLE CRYSTAL WITH NO CRYSTAL DEFECT IN PERIPHERAL PART OF WAFER AND PROCESS FOR PRODUCING THE SAME

Patent Number: ☐ EP0875607, A4, B1
Publication date: 1998-11-04
Inventor(s): YAMAGISHI HIROTOSHI (JP); KIMURA MASANORI (JP); TAKANO KIYOTAKA (JP); IIDA MAKOTO SHIN (JP); IINO EIICHI SHIN (JP)
Applicant(s): SHINETSU HANDOTAI KK (JP)
Requested Patent: ☐ JP9202690
Application Number: EP19970900447 19970117
Priority Number (s): WO1997JP00090 19970117; JP19960025928 19960119
IPC Classification: C30B29/06; C30B15/20; H01L21/02
EC Classification: C30B15/00
Equivalents: DE69703028D, DE69703028T, ☐ US6120749, ☐ WO9726393

Abstract

A silicon single-crystal wafer having a diameter of 6 inches or larger and improved in the dielectric strength of oxide film especially in a peripheral part thereof is provided to thereby heighten the yield of device chips produced per wafer. This wafer has no defects with regard to the dielectric strength of oxide film in its peripheral region which extends from the edge and accounts for up to 50 % of the total area, in particular which extends from the edge to a circle 30 mm apart from the edge. A process for easily producing, by the Czochralski method, a silicon single-crystal wafer improved in the dielectric strength of oxide film especially in a peripheral part thereof without considerably lowering the production efficiency. In this process, the silicon single crystal which is being grown by the Czochralski method is withdrawn at a rate which is 80 to 60

% of the critical rate inherent in the pulling device. 

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-202690

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
C 3 0 B 15/22			C 3 0 B 15/22	
	29/06	5 0 2	29/06	5 0 2 J
H 0 1 L 21/208			H 0 1 L 21/208	P
// H 0 1 L 21/02			21/02	B

審査請求 未請求 請求項の数5 F D (全 7 頁)

(21)出願番号	特願平8-25928	(71)出願人	000190149 信越半導体株式会社 東京都千代田区丸の内1丁目4番2号
(22)出願日	平成8年(1996)1月19日	(72)発明者	高野 清隆 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内
		(72)発明者	飯田 誠 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内
		(72)発明者	飯野 栄一 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内
		(74)代理人	弁理士 好宮 幹夫

最終頁に続く

(54)【発明の名称】 ウエーハ周辺部に結晶欠陥がないシリコン単結晶およびその製造方法

(57)【要約】 (修正有)

【課題】 特にウエーハ周辺部で酸化膜耐圧を改善した
チョクラルスキー法によるシリコン単結晶を、簡単にか
つ生産性を極端に低下させることなく提供し、1枚のシ
リコンウエーハから作製されるデバイスチップの歩留を
向上させる。

【解決手段】 6インチ以上の大口径シリコン単結晶ウ
エーハにおいて、ウエーハ外周から面積比50%までの
領域、特には外周から30mmまでが酸化膜耐圧不良の
ない無欠陥領域であることを特徴とするシリコン単結晶
ウエーハ。および、チョクラルスキー法によるシリコン
単結晶の引き上げにおいて、引上装置固有の限界引上速
度に対し、80~60%の引上速度で単結晶を育成する
ことを特徴とするシリコン単結晶の製造方法。

【特許請求の範囲】

【請求項1】 6インチ以上の大口径シリコン単結晶ウェーハにおいて、ウェーハ外周から面積比50%までの領域が酸化膜耐圧不良のない無欠陥領域であることを特徴とするシリコン単結晶ウェーハ。

【請求項2】 6インチ以上の大口径シリコン単結晶ウェーハにおいて、ウェーハ外周から30mmまでが酸化膜耐圧不良のない無欠陥領域であることを特徴とするシリコン単結晶ウェーハ。

【請求項3】 6インチ以上の大口径シリコン単結晶ウェーハにおいて、ウェーハ外周から面積比50%までの領域が無欠陥領域であり、かつ含有酸素濃度が17ppm以下であることを特徴とするシリコン単結晶ウェーハ。

【請求項4】 6インチ以上の大口径シリコン単結晶ウェーハにおいて、ウェーハ外周から30mmまでが無欠陥領域であり、かつ含有酸素濃度が17ppm以下であることを特徴とするシリコン単結晶ウェーハ。

【請求項5】 チョクラルスキー法によるシリコン単結晶の引き上げにおいて、引上装置固有の限界引上速度に対し、80~60%の引上速度で単結晶を育成することを特徴とするシリコン単結晶の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ウェーハ周辺部で酸化膜耐圧を改善したチョクラルスキー法によるシリコン単結晶を、簡単にかつ生産性を極端に低下させることなく得る技術に関する。

【0002】

【従来の技術】近年は、半導体回路の高集積化に伴う素子の微細化により、MOS-LSIのゲート電極部の絶縁酸化膜はより薄膜化されており、このような薄い絶縁酸化膜においてもデバイス素子動作時に絶縁耐圧が高いこと、リーク電流が小さいことすなわち、酸化膜の信頼性が高いことが要求されている。

【0003】この点、チョクラルスキー法(Czochralski法、以下CZ法という。)によるシリコン単結晶より製造されたシリコンウェーハの酸化膜耐圧は、浮遊帯溶融法(Floating Zone法、FZ法という。)によるシリコン単結晶より製造されたウェーハや、CZ法によるウェーハ上にシリコン単結晶薄膜を成長させたエピタキシャルウェーハの酸化膜耐圧に比べて著しく低いことが知られている(「サブミクロンデバイスII、3ゲート酸化膜の信頼性」、小柳光正、丸善(株)、P70)。

【0004】このCZ法において酸化膜耐圧を劣化させる主な原因は、シリコン単結晶育成時に導入される結晶欠陥によることが判明しており、結晶成長速度を極端に低下(例えば0.4mm/min以下)させることで、CZ法によるシリコン単結晶の酸化膜耐圧を著しく改善できるこ

とも知られている(例えば、特開平2-267195号公報参照)。しかし、酸化膜耐圧を改善するために、単に結晶成長速度を従来の1mm/min以上から、0.4mm/min以下に低下させたのでは、酸化膜耐圧は改善できるものの、単結晶の生産性が半分以上となり、著しいコストの上昇をもたらしてしまう。

【0005】この点、従来のCZ法によるシリコン単結晶の製造では、単結晶の生産性を極限まで追求するために、個々の引上装置に固有の限界引上速度もしくはその近傍の速度で単結晶を育成していた。このようにして育成された単結晶棒より作製されたウェーハは、その面内の欠陥分布は中心部から周辺部まで比較的均一な密度分布を有している。従って、1枚のウェーハから例えば100個程度のデバイスチップを作製する場合の歩留は、ウェーハ中心部と周辺部とで変わりはなく、その不良率はウェーハ面内ではほぼ均一であった。

【0006】ところが、ウェーハ全面にわたり酸化膜耐圧を改善するためには、前述のように極端な引上速度の低速化が必要であるが、1枚のウェーハにおける面積の割合は、相対的に周辺部の方が高いのであり、デバイス歩留に大きく影響を与えるのは、その周辺部での収率如何である。従って、1枚のシリコン単結晶ウェーハから取れるデバイスチップ歩留を向上させるためには、まずウェーハ周辺部での酸化膜耐圧を改善する必要がある。

【0007】

【発明が解決しようとする課題】本発明は、このような問題点に鑑みなされたもので、特にウェーハ周辺部で酸化膜耐圧を改善したチョクラルスキー法によるシリコン単結晶を、簡単にかつ生産性を極端に低下させることなく提供し、1枚のシリコンウェーハから作製されるデバイスチップの歩留を向上させることを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明の請求項1および請求項2に記載した発明は、6インチ以上の大口径シリコン単結晶ウェーハにおいて、ウェーハ外周から面積比50%までの領域、特に外周から30mmまでが酸化膜耐圧不良のない無欠陥領域であることを特徴とする。このように、デバイスチップ歩留に大きく影響する、ウェーハ外周から面積比50%までの領域、特に外周から30mmまでを無欠陥領域とすることによって、この領域の酸化膜耐圧を改善し、1枚のシリコンウェーハから作製されるデバイスチップ歩留を向上させることができる。

【0009】また、本発明の請求項3および請求項4に記載した発明は、6インチ以上の大口径シリコン単結晶ウェーハにおいて、ウェーハ外周から面積比50%までの領域、特に外周から30mmまでが無欠陥領域であり、かつ含有酸素濃度が17ppm以下であることを特徴とする。このように、デバイスチップ歩留に大きく影響する、ウェーハ外周から面積比50%までの領域、

特には外周から30mmまでを無欠陥領域とすることによって、この領域の酸化膜耐圧を改善するとともに、含有酸素濃度を17ppma以下とすることによって、OSF（酸化誘起積層欠陥）の発生を抑制し、1枚のシリコンウェーハから作製されるデバイスチップ歩留を一層向上させることができる。

【0010】さらに、本発明の請求項5に記載した発明は、チョクラルスキー法によるシリコン単結晶の引き上げにおいて、引上装置固有の限界引上速度に対し、80～60%の引上速度で単結晶を育成することを特徴とするシリコン単結晶の製造方法である。このような方法によってはじめ、ウェーハ外周から面積比50%までの領域、特には外周から30mmまでを無欠陥領域とすることができ、前記請求項1から請求項4に記載した酸化膜耐圧を改善したシリコン単結晶ウェーハを作製することができる。

【0011】以下、本発明を更に詳細に説明するが、説明に先立ち各用語につき予め解説しておく。

1) FPD (Flow Pattern Defect) とは、成長後のシリコン単結晶棒からウェーハを切り出し、表面の歪み層を沸酸と硝酸の混合液でエッチングして取り除いた後、 $K_2Cr_2O_7$ と弗酸と水の混合液で表面をエッチングすることによりピットおよびさざ波模様が生じる。このさざ波模様をFPDと称し、ウェーハ面内のFPD密度が高いほど酸化膜耐圧の不良が増える（特開平4-192345号公報参照）。

2) LSTD (Laser Scattering Tomography Defect) とは、成長後のシリコン単結晶棒からウェーハを切り出し、表面の歪み層を弗酸と硝酸の混合液でエッチングして取り除いた後、ウェーハを劈開する。この劈開面より赤外光を入射し、ウェーハ表面から出た光を検出することでウェーハ内に存在する欠陥による散乱光を検出することができる。ここで観察される散乱体については学会等ですでに報告があり、酸素析出物とみなされている（J. J. A. P. Vol. 32, P3679, 1993参照）。

【0012】これらFPD、LSTDの欠陥密度は酸化膜耐圧の不良率と強い相関があることから、共に酸化膜耐圧劣化因子と考えられている。本発明者らは、これらの欠陥のウェーハ面内分布を調査したところ、限界引上速度近傍で引き上げる従来法におけるウェーハの面内分布は、外周から約5mm程度まではほぼ無欠陥となるが、それ以外ではほぼ均一に分布しており、従って酸化膜耐圧特性もウェーハ面内でほぼ均一な特性分布をしていることが確認された。

【0013】ところが、1枚のウェーハにおいて、その面積を占める割合は、周辺部の方が高いのであり、例えば、ウェーハ外周から30mmまでの面積は、図1 (A)、(B)に6インチと8インチの場合につき示したように、ウェーハ全体の面積に対して、6インチで6

0%以上、8インチでも50%以上を占める。従って、この領域がデバイスチップ歩留に影響する割合が非常に高いのであり、デバイスチップ歩留を向上させるためには、まずこの面積比50%までの領域の酸化膜耐圧を改善する必要がある。本発明者らは、このような点を考慮して、いかにしてウェーハ外周から面積比50%までの領域、特には外周から30mmまでの酸化膜耐圧を改善するか、すなわちウェーハ外周から面積比50%までの領域、特には外周から30mmまでの前記FPD、LSTD欠陥の改善を図るかを調査検討した結果、本発明を完成させたものである。

【0014】すなわち、本発明者らは同一の引上装置の同一の炉内構造で、単結晶を種々の引上速度（単結晶成長速度）で成長させた場合に、引上速度を引上装置固有の限界引上速度の80%以下にまで低下させると、単結晶の外周から面積比50%以上まで、特には外周から30mm以上まで無欠陥領域が形成されることを確認したのである。

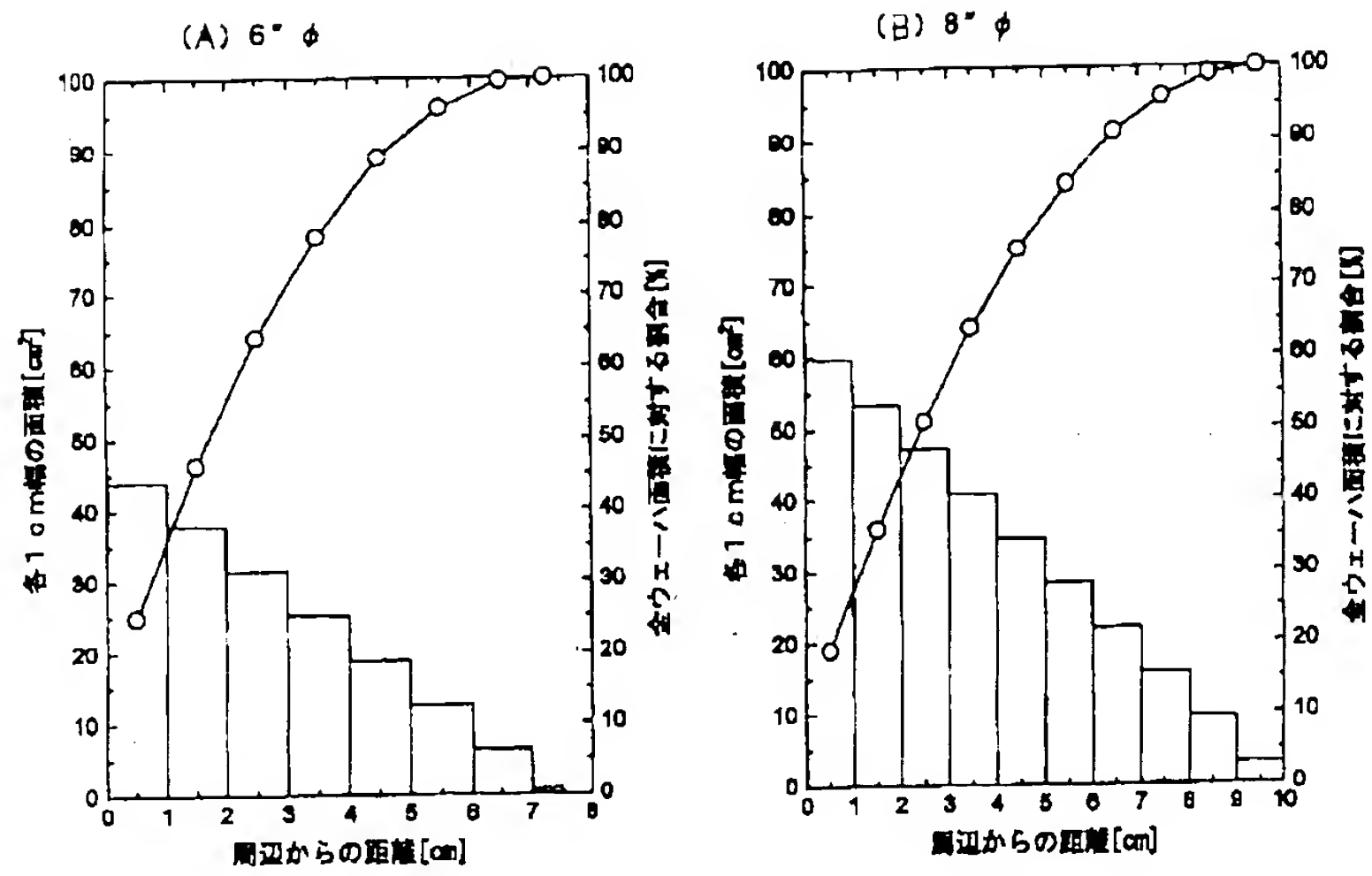
【0015】尚、ここでいう限界引上速度とは、単結晶の平均引上速度（単結晶の平均成長速度）であって、それ以上速度を上げると成長結晶棒が変形し円柱状の形状を維持できなくなる速度を意味している。この限界引上速度は引上装置およびその炉内構造に固有のもので、個々の引上装置によって、また同一の引上装置でもその炉内構造により変化するものである。

【0016】この限界引上速度に対し、80%以下の引上速度で単結晶を育成すると、単結晶の外周から面積比50%以上まで、特には外周から30mm以上までFPD、LSTD欠陥がない無欠陥領域となる。そして、更に引上速度を下げればより無欠陥領域は広がるものの、その分単結晶の生産性が下落し著しくコスト高となるため、限界引上速度に対し80～60%の引上速度とするのが望ましい。

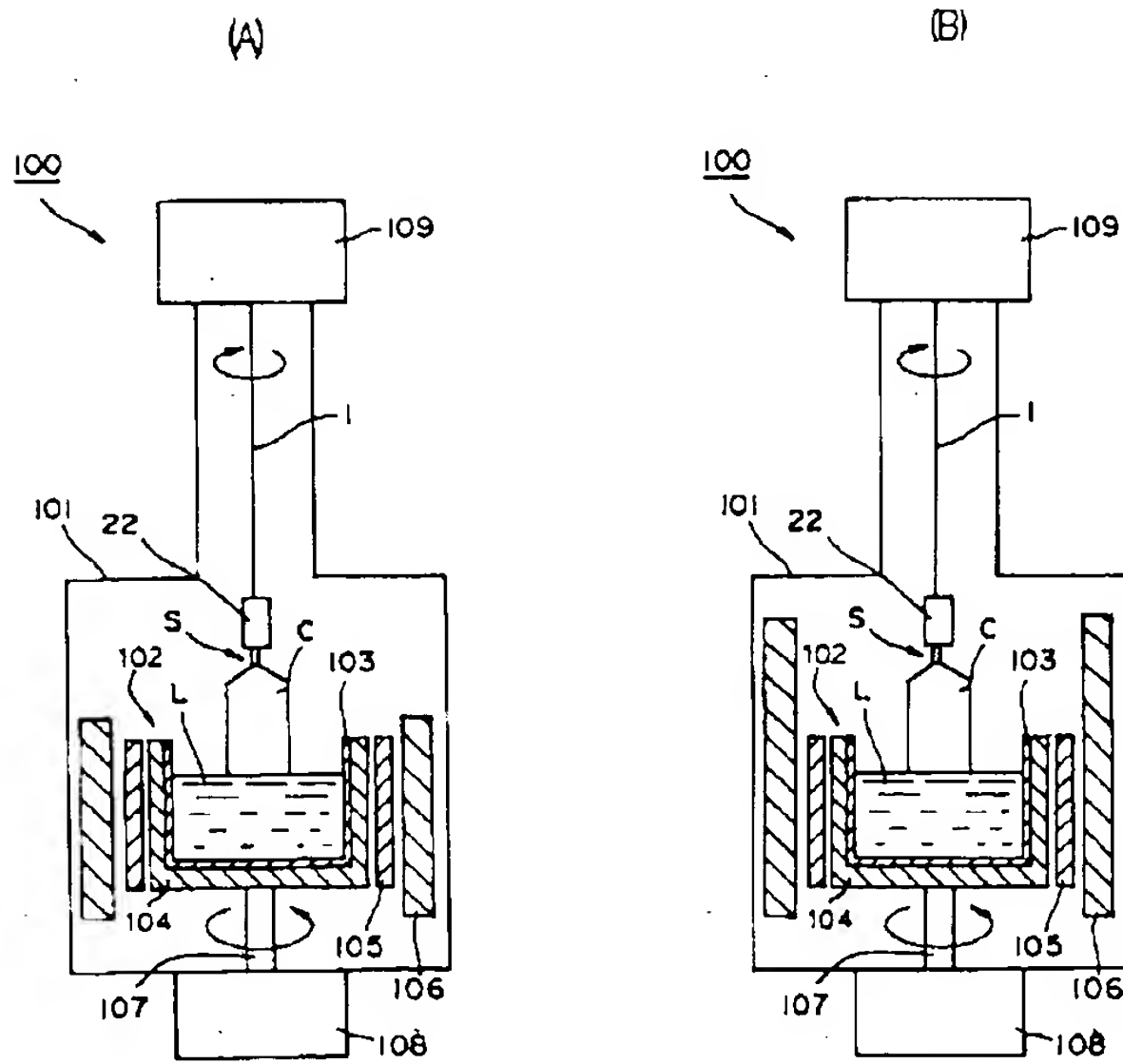
【0017】これは60%まで引上速度を下げれば、単結晶の外周から面積比50%以上、特には外周から30mm以上は無欠陥領域となり、前述のようにこの領域は1枚のウェーハの全面積の半分あるいはそれ以上を占めるため、デバイスチップの歩留改善には大きな効果があるし、その上、本発明者らの実験では限界引上速度の80～60%の引上速度で単結晶を引き上げると、外周から面積比50%までの領域、特には外周から30mmの領域が無欠陥領域となるだけでなく、その内側の領域でも欠陥密度が大幅に減少し、内側の領域でも酸化膜耐圧が大幅に改善され、ウェーハ全体で著しいデバイスチップ歩留の向上が図れるからである。

【0018】但し、限界引上速度に対し引上速度を80%以下に下げ、かつ単結晶中の含有酸素濃度が17ppma JEIDA (Japan Electronic Industry Development and Association) を越えると、例えば単結晶の

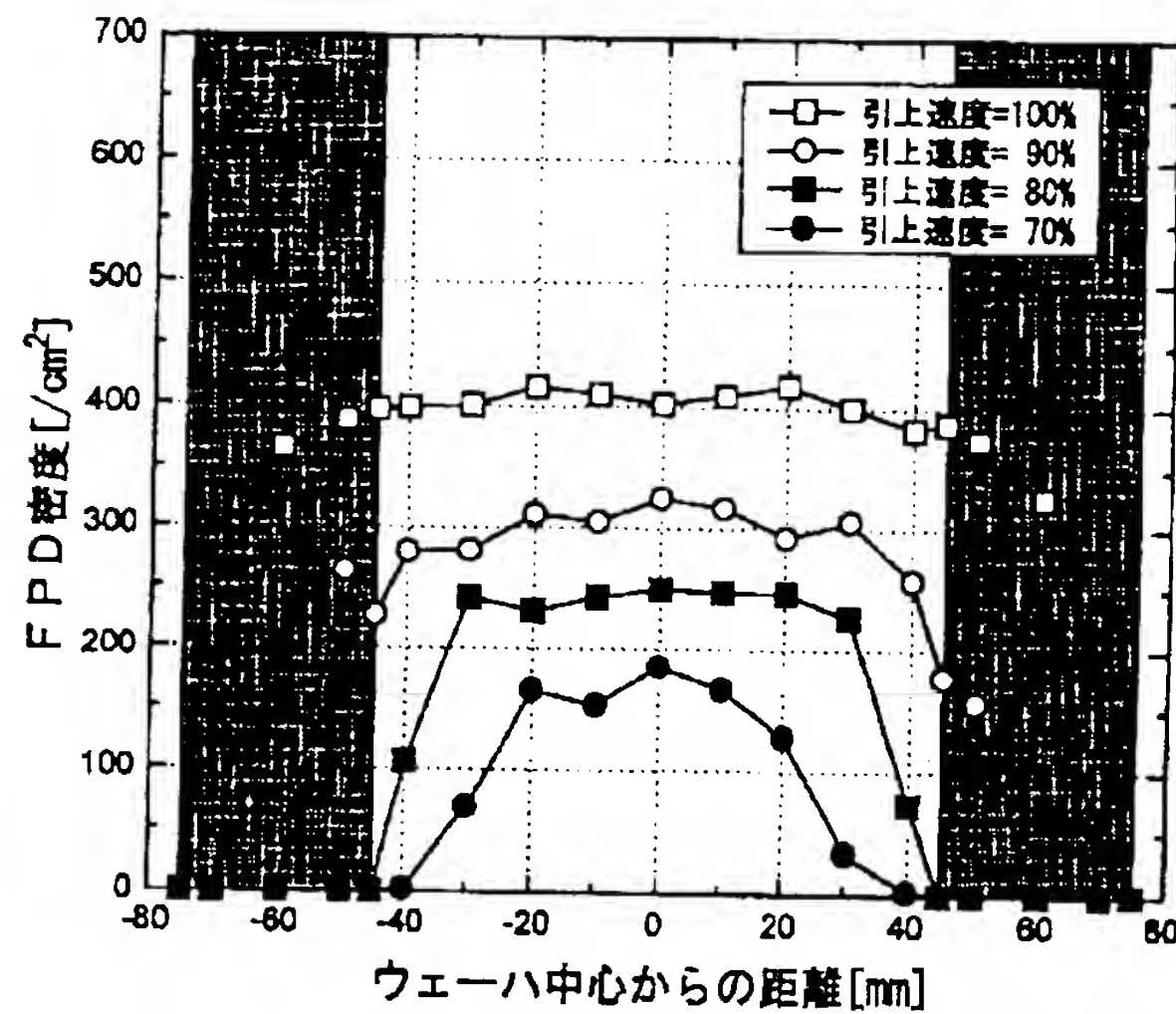
【図1】



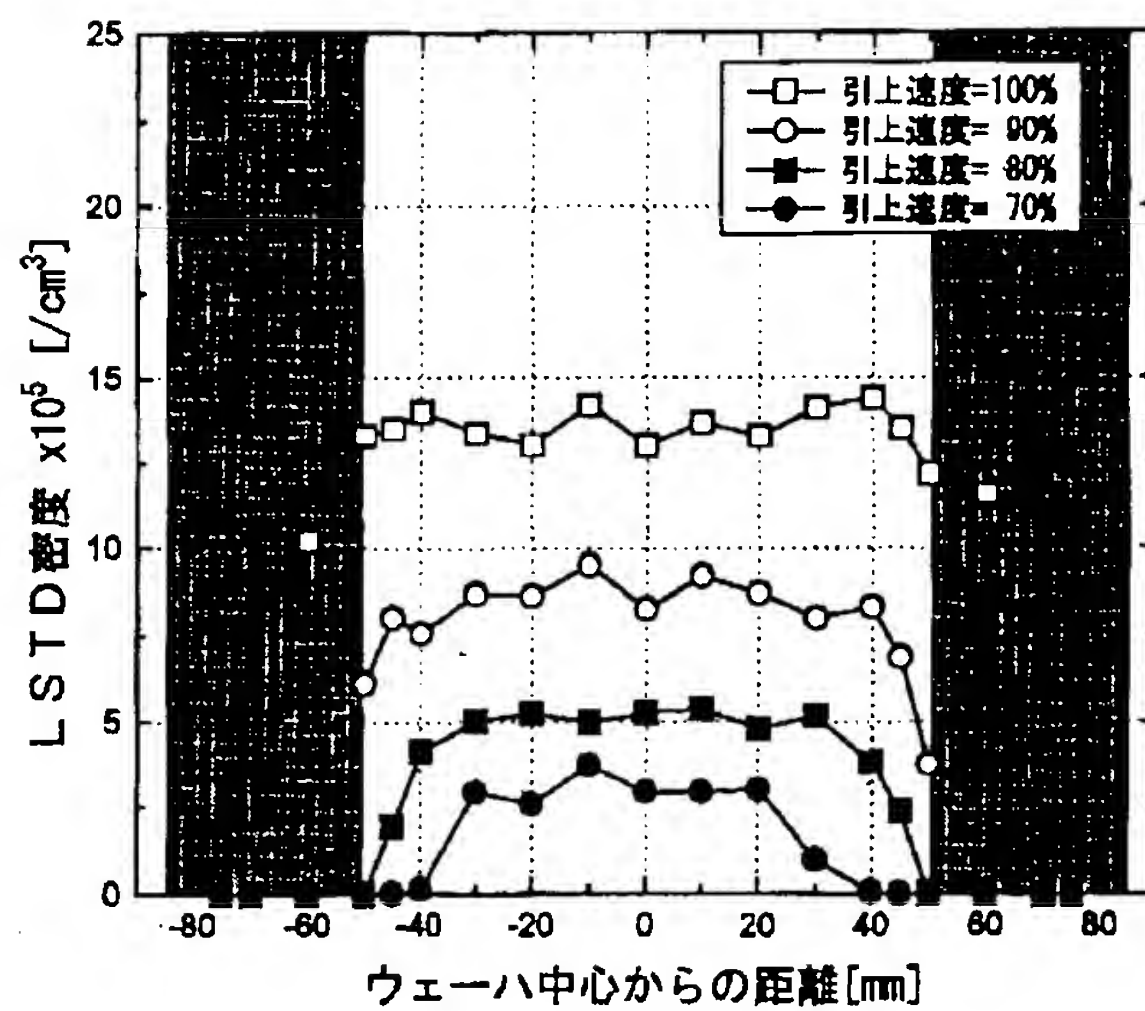
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 木村 雅規
群馬県安中市磯部2丁目13番1号 信越半
導体株式会社半導体磯部研究所内

(72)発明者 山岸 浩利
群馬県安中市磯部2丁目13番1号 信越半
導体株式会社半導体磯部研究所内